

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-313129

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

G02F 1/133

G02F 1/1345

G09G 3/36

(21)Application number : 04-114607

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.05.1992

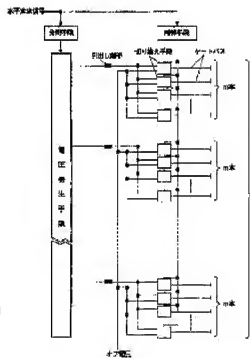
(72)Inventor : MURAKAMI HIROSHI
HOSHIYA TAKAYUKI
ITOKAZU MASASHI
TAKAHARA KAZUHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a display of high resolution without greatly increasing number of scanning driver ICs by decreasing the number of scanning driver ICs and reducing the price.

CONSTITUTION: (n) Gate buses are divided into groups consisting of (m) buses. If n/m leaves a remainder, (r) remaining buses are put in one group and one lead-out terminal is provided for each group. This device is equipped with (m) or (r) switching means for each group which is placed in a 1st state wherein respective lead-out terminals and the gate buses in the group are connected or a 2nd state wherein a specific OFF voltage is applied to the gate buses in the same group, a control means which switch one of the switching means in each group to the 1st state in order, in synchronism with horizontal scanning periods, a frequency dividing means which generates a frequency divided signal having a period corresponding to (m) frequency division of the horizontal scanning periods, a voltage generating means which applies the specific ON voltage and an OFF voltage to one lead-out terminal in each group in order, in synchronism with the frequency division signal.



特開平5-313129

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. ²	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/133	5 2 0	7820-2K	
	1/1345		9018-2K	
G 0 9 G	3/36		7319-5G	

審査請求 未請求 請求項の数1(全10頁)

(21)出願番号 特願平4-114607

(22)出願日 平成4年(1992)5月7日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者

村上 浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

星屋 隆之

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

糸数 昌史

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人

弁理士 井桁 卓一

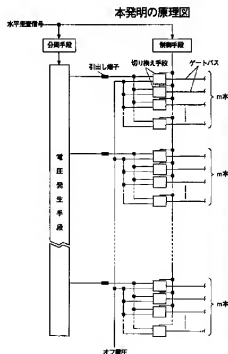
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【目的】スキヤンドライバICの個数を少なくして低価格化を図り、スキヤンドライバICの個数を大幅に増やすことなく高解像度表示を実現する。

【構成】 n 本のゲートバスを m 本ずつのグループに分ける。 n/m が余りを生じた場合は余った r 本を1つのグループとし、1グループ当たり1個の引出し端子を与える。各引出し端子とグループ内のゲートバスとを接続する第1の状態、または所定のオフ電圧と同グループ内のゲートバスとを接続する第2の状態の何れかを取る1グループ当たり m 個または r 個の切り換え手段と、各グループ内の切り換え手段の1つを水平走査周期に同期して順次に第1の状態に切り換える制御手段と、水平走査周期の m 分周に相当する周期を有する分周信号を生成する分周手段と、該分周信号に同期して前記1グループ当たり1個の引出し端子に順次、所定のオン電圧とオフ電圧を印加する電圧発生手段と、を備える。



【特許請求の範囲】

【請求項1】 n 本のゲートバスを m 本ずつのグループに分けるとともに n/m が余りを生じる場合には余った本数を1つのグループとし、1グループ当たり1個の引出し端子を具備する液晶パネルと、各引出し端子とグループ内のゲートバスとの間を接続する第1の状態、または所定のオフ電圧と同グループ内のゲートバスとの間を接続する第2の状態の何れかを取り得る1グループ当たり m 個（但し、ゲートバス m 本未満のグループは m 個未満）の切り換え手段と、各グループ内の切り換え手段の1つを水平走査周期に同期して順次に第1の状態に切り換える制御手段と、水平走査周期の m 分周に相当する周期を有する分周信号を生成する分周手段と、該分周信号に同期して前記1グループ当たり1個の引出し端子に順次、所定のオン電圧とオフ電圧を印加する電圧発生手段と、を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、特に、構成を簡素化して価格低減を図ることができる液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、CRT型の表示装置に比べて低消費電力、薄型軽量であるといった特長から、可搬型のパーソナルコンピュータや各種OA機器の表示装置として好適であるが、CRT型よりも価格が高く広範な普及が阻まれているのが現状である。従って、価格低減のための有用な回路技術が求められている。

【0003】図1は液晶表示装置の基本的なブロック図である。この図において、1は液晶パネル、2はデータドライバ、3はスキヤンドライバであり、液晶パネル1は、マトリクス状に配列された多数本のドレインバスDやゲートバスGを有すると共に、これらバスの各交差点に液晶セル（図示略）を接続して構成する。データドライバ2は、表示データに応じた階調電圧を発生し、その電圧を表示クロックに同期させて順次にドレインバスDに与える。また、スキヤンドライバ3は、所定の二値電圧（液晶セルをオン/オフする電圧、以下、オン電圧とオフ電圧）を発生し、その電圧を水平走査信号に同期させて順次にゲートバスGに与える。

【0004】従って、オン電圧が与えられた1本のゲートバスG（以下、選択ゲートバス）、すなわち1表示行分の液晶セルにドレインバスDを介して階調電圧が書き込まれ、これを全てのゲートバスGに繰り返すことにより1画面が表示される。なお、PdはドレインバスDを液晶パネル1の外部に引き出すためのドレインバス用端子、PgはゲートバスGを液晶パネル1の外部に引き出すためのゲートバス用端子を表している。

【0005】

【発明が解決しようとする課題】しかしながら、かかる従来の液晶表示装置にあっては、スキヤンドライバ3の出力とゲートバスGとを1対1で対応させていたため、ゲートバスGの本数に比例してスキヤンドライバ3が大規模化するという問題点があり、液晶表示装置の価格低減の障害となっていた。

【0006】一般に、スキヤンドライバは集積回路（以下、スキヤンドライバIC）で提供されるが、1個のIC当たり100本から200本程度の出力を持つものが多い。従って、液晶表示装置には、ゲートバスGの総本数を1個のIC出力数で割った数のスキヤンドライバICが必要になるから、特に、ゲートバスGの本数が多いVGA（Video Graphics Array）規格等の高解像度液晶表示装置を低価格で実現することが困難になる。

【目的】そこで、本発明は、ゲートバスを複数本ずつにグループ化し、各グループとスキヤンドライバICの出力とを対応させることにより、スキヤンドライバICの個数を少なくして低価格化を図ること、あるいは、スキヤンドライバICの個数を大幅に増やすことなく高解像度表示を実現することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するためその原理図を図1に示すように、 n 本のゲートバスを m 本ずつのグループに分けるとともに n/m が余りを生じる場合には余った本数を1つのグループとし、1グループ当たり1個の引出し端子を具備する液晶パネルと、各引出し端子とグループ内のゲートバスとの間を接続する第1の状態、または所定のオフ電圧と同グループ内のゲートバスとの間を接続する第2の状態の何れかを取り得る1グループ当たり m 個（但し、ゲートバス m 本未満のグループは m 個未満）の切り換え手段と、各グループ内の切り換え手段の1つを水平走査周期に同期して順次に第1の状態に切り換える制御手段と、水平走査周期の m 分周に相当する周期を有する分周信号を生成する分周手段と、該分周信号に同期して前記1グループ当たり1個の引出し端子に順次、所定のオン電圧とオフ電圧を印加する電圧発生手段と、を備えたことを特徴とする。

【0008】

【作用】本発明では、ゲートバスのグループ単位に電圧発生手段の出力が与えられる。従って、 n 本のゲートバスに対し、 n/m 個（但し、 n/m が余りを生じる場合には $n/m + 1$ 個）の少ない出力を持つ電圧発生手段（すなわちスキヤンドライバ）を備えればよいから、スキヤンドライバICの個数を少なくして低価格化を図ることができ、あるいは、スキヤンドライバICの個数を大幅に増やすことなく高解像度表示を実現することができる。

【0009】

【実施例】以下、本発明の実施例を図面に基いて説明する。図2～図9は本発明に係る液晶表示装置の一実施例を示す図面であり、 n/m が余りを生じない場合の例である。まず、構成を説明する。図2において、10は液晶パネル、11は水平走査信号 S_H に同期して所定の制御信号 S_C を発生する制御手段、12は水平走査信号 S_H を m 分周した分周信号 mS_H を生成する分周手段、13は分周信号 mS_H に同期して所定のオン/オフ電圧 V_1 、……、 V_n/m を順次に発生するスキヤンドライバ（電圧発生手段）である。

【0010】液晶パネル10は、 m 本ずつにグループ化された全部で n/m 本のゲートバス G_1 、 G_2 、……、 G_n と、所定数のドレインバス及び液晶セル（図11参照）を備え、ゲートバスは、例えば、 G_1 から G_n までの第1グループ、……、 $G_{n-(n-1)}$ から G_n までの第 n/m グループに分けられている。 S_1 、 S_2 、……、 S_n はゲートバス1本につき1個の割で設けられた切り換え手段であり、それぞれの切り換え手段は、制御手段11からの制御信号 S_C に従って、入力Aと出力OUTの間を接続する第1の状態、または、入力Bと出力OUTの間を接続する第2の状態の何れかの状態をとる。

【0011】各々の接続手段の入力Aには、引出し端子 P_1 、……、 $P_{n/m}$ を介してスキヤンドライバ13の各出力 V_1 、……、 $V_{n/m}$ が与えられ、また、入力Bにはオフ電圧端子 P_{OFF} を介して、 V_1 、……、 V_n/m のオフ電圧（0V）と同電位の一定電圧 V_{OFF} が与えられている。図3は、1グループ当たりのゲートバス本数（ m ）を「2」とした場合の構成例であり、この例では全部で n/m 、すなわち $n/2$ 個のグループが形成される。切り換え手段 $S_1 \sim S_n$ は、図4に示すように、入力A、Bと出力OUTの間に接続した2個のNチャネルMOSトランジスタ T_{nA} 、 T_{nB} を、制御信号 S_C の2ビット（奇数番目の切り換え手段は S_{C0} 、 S_{C1} 、偶数番目の切り換え手段は S_{C2} 、 S_{C3} ）でオン/オフコントロールするようにになっている。

【0012】次に、作用を説明する。図5は、図3のタイミングチャートである。1水平走査期間（H）を半サイクルとする4ビットの制御信号 S_C は、ビット S_{C0} とビット S_{C1} 、ビット S_{C2} とビット S_{C3} がそれぞれ逆相、ビット S_{C1} とビット S_{C2} 、ビット S_{C3} とビット S_{C0} がそれぞれ同相である。従って、ビット S_{C1} とビット S_{C3} 、及び、ビット S_{C2} とビット S_{C0} は、それぞれ「H、L」の組み合わせと「L、H」の組み合わせの2通りに1H間隔で変化する。

【0013】 $V_1 \sim V_{n/2}$ は、液晶セルをオンさせるための電圧（オン電圧；例えば+5V）を $m \times H$ の間継続すると共に、水平走査信号 S_H を m 分周（すなわち2分周）した分周信号に同期して、そのオン電圧の位置を V_1 から $V_{n/2}$ へと順次にシフトさせていくもので、オン電圧とオン電圧の間は、液晶セルをオフさせるための電

圧（オフ電圧；例えば0V）に維持されている。

（1） ここで、 S_C の S_{C0} と S_{C1} が「H、L」の組み合わせのときには、奇数番目の切り換え手段 S_1 、 S_3 、 S_5 、……が「第1の状態」となり、同じく奇数番目のゲートバス G_1 、 G_3 、 G_5 、……に、そのときの同一グループの V_1 （ i は1、2、……、 $n/2$ ）の電位が与えられる。例えば、第1グループに着目すると、同グループの奇数番目のゲートバス G_1 には、同一グループの V_1 の電位（オン電圧/オフ電圧）が与えられる。

（2） また、 S_C の S_{C0} と S_{C1} が「L、H」の組み合わせのときには、奇数番目の切り換え手段 S_1 、 S_3 、 S_5 、……が「第2の状態」となり、同じく奇数番目のゲートバス G_1 、 G_3 、 G_5 、……に、オフ電圧に相当する一定電圧 V_{OFF} が与えられる。

（3） また、 S_C の S_{C2} と S_{C3} が「H、L」の組み合わせのときには、偶数番目の切り換え手段 S_2 、 S_4 、 S_6 、……が「第1の状態」となり、同じく偶数番目のゲートバス G_2 、 G_4 、 G_6 、……に、そのときの同一グループの V_1 （ i は1、2、……、 $n/2$ ）の電位が与えられる。例えば、第1グループに着目すると、同グループの偶数番目のゲートバス G_2 には、同一グループの V_1 の電位（オン電圧/オフ電圧）が与えられる。

（4） また、 S_C の S_{C2} と S_{C3} が「L、H」の組み合わせのときには、偶数番目の切り換え手段 S_2 、 S_4 、 S_6 、……が「第2の状態」となり、同じく偶数番目のゲートバス G_2 、 G_4 、 G_6 、……に、オフ電圧に相当する一定電圧 V_{OFF} が与えられる。

【0014】以上のように、本実施例によれば、制御信号 S_C に従って各グループ内のゲートバスを順次に選択し、当該選択ゲートバスにスキヤンドライバ13の1つの出力（ V_i ）を与えと共に、残りの非選択ゲートバスに一定電圧 V_{OFF} を与えるようにしたので、スキヤンドライバ13の出力数をゲートバスの本数（ n ）の n/m にでき、例えば図3の例では $m=2$ であるから $n/2$ と半減することができる。

【0015】従って、スキヤンプラスICの個数を減らすことができ、低価格化を図ることができる。あるいは、スキヤンプラスICを大幅に増やすことなく高解像度液晶表示装置を実現することができる。なお、図6は、図3の変形例であり、制御信号 S_C の2ビット（ S_{C0} と S_{C1} ）をインバータゲート20、21で反転して残りの2ビット（ S_{C2} 、 S_{C3} ）を生成するようにした例である。インバータゲート20、21は、例えば図7に示すように、NチャネルMOSトランジスタ T_c と負荷素子 R で構成できる。

【0016】図8～図9は、奇数番目の切り換え手段（代表して S_{11} ）と偶数番目の切り換え手段（代表して S_{12} ）を別の構成とした例である。図9（a）は奇数番目の切り換え手段 S_{11} の構成図、同図（b）は偶数番目の切り換え手段 S_{12} の構成図であり、前者は入力側に

NチャネルMOSトランジスタ T_n を設けると共に入力B側にPチャネルMOSトランジスタ T_p を設けるようにしたもの。後者はこの逆に入力A側にPチャネルMOSトランジスタ T_p を入力B側にNチャネルMOSトランジスタ T_n を設けるようにしたものである。このような構成によれば、1ビットの制御信号 S_0 で切り換え動作をコントロールすることができる。なお、切り換え手段は、図10のように構成してもよい。すなわち、図10(a)に示すように、PチャネルMOSトランジスタの代わりに抵抗素子 R_{11} を用いて奇数番目の切り換え手段 S_{11} を構成してもよく、また、図10(b)に示すように、NチャネルMOSトランジスタの代わりに抵抗素子 R_{12} を用いて偶数番目の切り換え手段 S_{12} を構成してもよい。

【0017】上記の各実施例では、液晶パネル内に切り換え手段を作り込むようにしている。これは、パネル内のスイッチ素子(MOSトランジスタ)を流用して切り換え手段を構成できるからであるが、これに限るものではなく、スキヤンドドライバに作り込んでよいし、あるいは、別個に構成してもよい。

【0018】

【発明の効果】本発明によれば、ゲートバスを複数本ずつにグループ化し、各グループとスキヤンドドライバの出力とを対応させるようにしたので、スキヤンドドライバICの個数を少なくして低価格化を図ることができ、あるいは、スキヤンドドライバICの個数を大幅に増やすこと

なく高解像度表示を実現することができる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】一実施例の構成図である。

【図3】一実施例の切り換え手段を含む要部の構成図である。

【図4】一実施例の切り換え手段の構成図である。

【図5】図3の動作タイミングチャートである。

【図6】一実施例の他の構成図である。

【図7】インバータゲートの構成図である。

【図8】一実施例のさらに他の構成図である。

【図9】図8に使用する切り換え手段の構成図である。

【図10】図8に使用する切り換え手段の他の構成図である。

【図11】液晶表示装置の基本的なブロック図である。

【符号の説明】

$G_1 \sim G_n$: ゲートバス

mS_n : 分周信号

$P_1 \sim P_n/a$: 引出し端子

20 $S_1 \sim S_n$: 切り換え手段

$V_1 \sim V_n/a$: オン/オフ電圧

10 : 液晶パネル

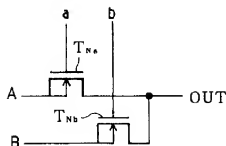
11 : 制御手段

12 : 分周手段

13 : スキヤンドドライバ(電圧発生手段)

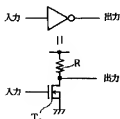
【図4】

一実施例の切り換え手段の構成図



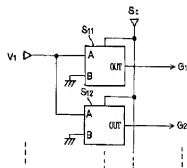
【図7】

インバータゲートの構成図



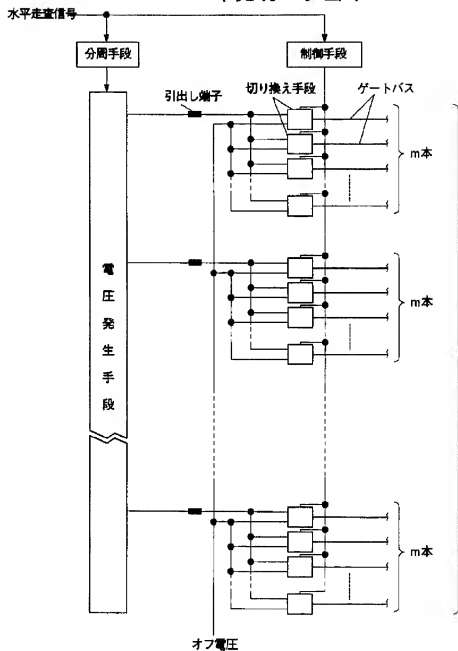
【図8】

一実施例のさらに他の構成図



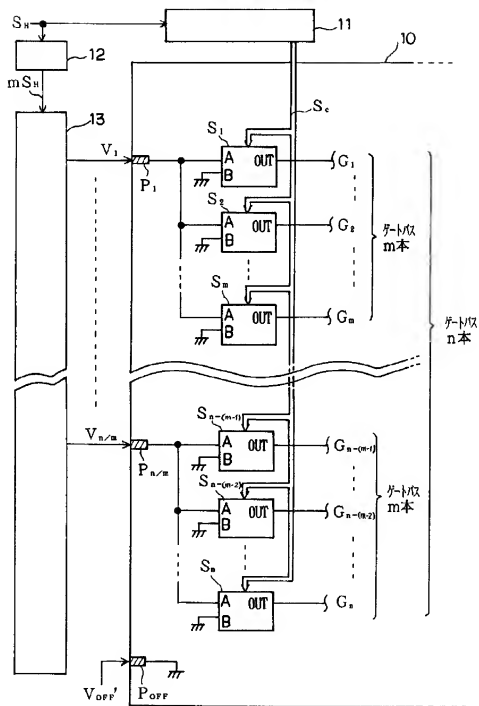
【図1】

本発明の原理図



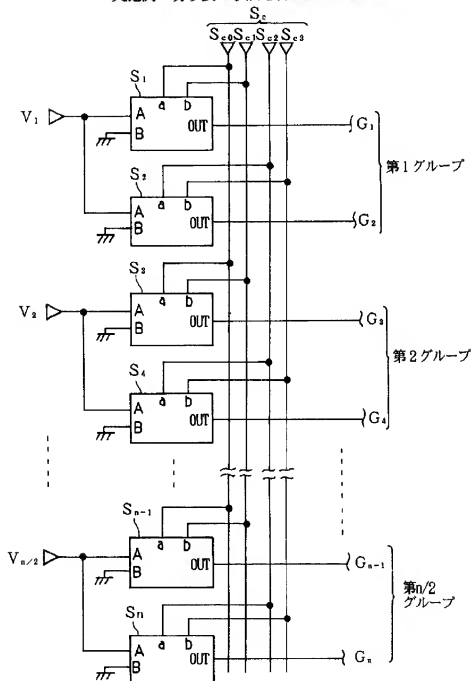
【図2】

—実施例の構成図—



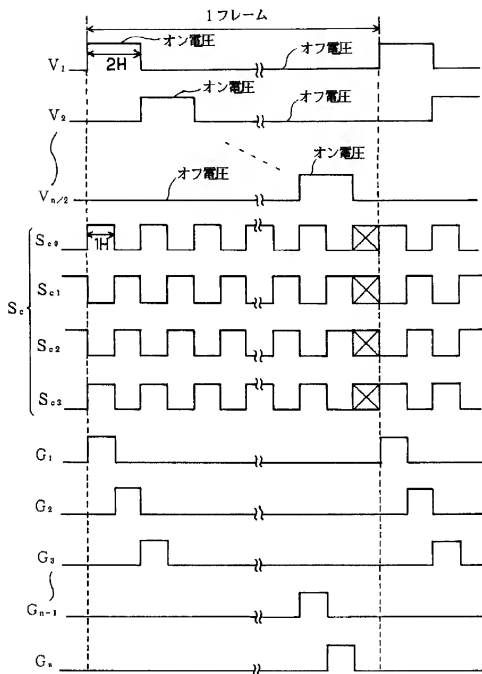
【図3】

一実施例の切り換え手段を含む要部の構成図



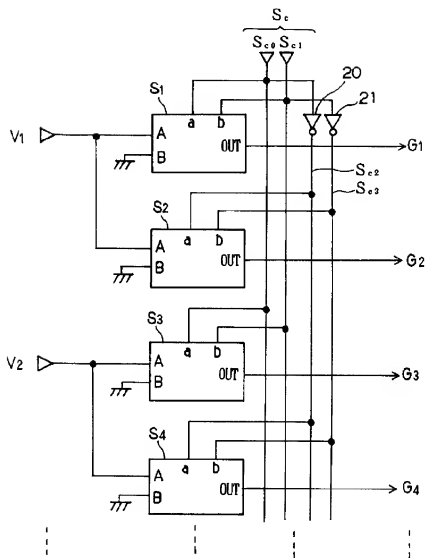
【図5】

図3の動作タイミングチャート



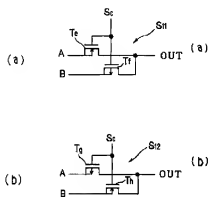
【図6】

—実施例の他の構成図



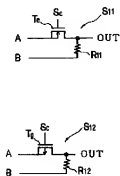
【図9】

図8に使用する切り換え手段の構成図



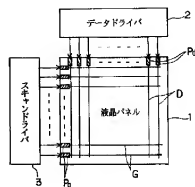
【図10】

図8に使用する切り換え手段の他の構成図



【図11】

液晶表示装置の基本的なブロック図



フロントページの続き

(72)発明者 高原 和博
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to a liquid crystal display and the liquid crystal display which can simplify composition and can aim at price reduction especially.

[0002]

[Description of the Prior Art]The actual condition is that spread with it is obstructed from the feature that a liquid crystal display has low power consumption and a thin light weight compared with a CRT type display although it is suitable as a portability type personal computer or a display of various OA equipment. [a high price and] [more extensive than a CRT type] Therefore, the useful circuit art for price reduction is searched for.

[0003]Drawing 11 is a fundamental block diagram of a liquid crystal display. In this figure, as for 1, a data driver and 3 are scan drivers a liquid crystal panel and 2, and the liquid crystal panel 1 has the drain bus D and the gate bus G of an a large number book which were arranged by matrix form, and it connects and constitutes a liquid crystal cell (graphic display abbreviation) in each crossing of these buses. The data driver 2 generates the gradation voltage according to an indicative data, synchronizes the voltage with a display clock, and is given to the drain bus D one by one. The scan driver 3 generates predetermined binary voltage (the voltage which turns on and off a liquid crystal cell, the following, ON state voltage, and OFF state voltage), synchronizes the voltage with a horizontal scanning signal, and is given to the gate bus G one by one.

[0004]Therefore, gradation voltage is written in the liquid crystal cell for the one gate bus G (henceforth, selection gate bus), i.e., one screen line, with which ON state voltage was given via the drain bus D, and one screen is displayed by repeating this to all the gate buses G. The terminal for drain buses for Pd to pull out the drain bus D to the exterior of the liquid crystal panel 1 and Pg express the terminal for gate buses for pulling out the gate bus G to the exterior of the liquid crystal panel 1.

[0005]

[Problem(s) to be Solved by the Invention]However, since the output and the gate bus G of the scan driver 3

were made to correspond by 1 to 1 if shown in this conventional liquid crystal display, there is a problem that the scan driver 3 is enlarged in proportion to the number of the gate bus G, and it had become an obstacle of price reduction of a liquid crystal display.

[0006] Generally, although a scan driver is provided with an integrated circuit (henceforth, scan driver IC), there are many with the output of 100 to [per IC] about 200. Therefore, since a number of scan driver ICs which divided the total number of the gate bus G by the number of IC outputs of one piece are needed for a liquid crystal display, It becomes difficult to realize high resolution liquid crystal displays, such as a VGA (Video Graphics Array) standard with many numbers of the gate bus G, with a low price especially. By [Objects of the Invention], then this invention carrying out grouping of the gate bus at a time to two or more, and making each group and the output of a scan driver correspond, It aims at realizing a high definition display, without increasing substantially the number of lessening the number of scan driver IC and attaining low-pricing, or scan driver IC.

[0007]

[Means for Solving the Problem] This invention is provided with the following.

A liquid crystal panel which makes a surplus number one group when n/m produces remainder, while dividing a gate bus of n book into every m groups for the principle figure as shown in drawing 1 in order to attain the above-mentioned purpose, and possesses one cash-drawer terminal per group. m switching means per group which can take any in the 1st state of connecting between each cash-drawer terminal and gate buses in a group, or the 2nd state of connecting between predetermined OFF state voltage and gate buses in the group they are (however, a group of less than a gate bus m this less than m pieces).

A control means which switches one of the switching means in each group to the 1st state one by one synchronizing with a horizontal scanning cycle, A dividing means to generate a dividing signal which has a cycle equivalent to m dividing of a horizontal scanning cycle, and a voltage generating means which impresses predetermined ON state voltage and OFF state voltage to one cash-drawer terminal per said group one by one synchronizing with this dividing signal.

[0008]

[Function] In this invention, the output of a voltage generating means is given per group of a gate bus. Therefore, since what is necessary is just to have a voltage generating means (namely, scan driver) with little output of a n/m individual (+one n/m when [However] n/m produces remainder) to the gate bus of n book, A high definition display can be realized without being able to lessen the number of scan driver IC, and being able to attain low-pricing, or increasing the number of scan driver IC substantially.

[0009]

[Example] Hereafter, the example of this invention is described based on a drawing. Drawing 2 - drawing 5 are the figures showing one example of the liquid crystal display concerning this invention, and are an example in case n/m does not produce remainder. First, composition is explained. The control means which

10 synchronizes with a liquid crystal panel, and 11 synchronizes with horizontal scanning signal S_H , and generates predetermined control signal S_C in drawing 2. A dividing means to generate dividing signal mS_H which, as for 12, m dividing made horizontal scanning signal S_H , and 13 are predetermined ON-and-OFF voltage V_1, \dots , a scan driver (voltage generating means) that generates $V_{n/m}$ one by one synchronizing with dividing signal mS_H .

[0010]The liquid crystal panel 10 at a time to m by all by which grouping was carried out Gate bus G_1 of n book, G_2, \dots, G_n , having the drain bus and liquid crystal cell (refer to drawing 11) of a predetermined number -- a gate bus -- the [from the 1st group from G_1 to $G_m, \dots, G_{n-(m-1)}$ to G_n] -- it is divided into the n/m group. S_n are S_1, S_2, \dots , the switching means established at the one rate per gate bus, and each switching means, According to control signal S_C from the control means 11, which state in the 1st state of connecting between the input A and the outputs OUT, or the 2nd state of connecting between the input B and the outputs OUT is taken.

[0011]Each output V_1 of the scan driver 13, $\dots, V_{n/m}$ are given to the input A of each connecting means via cash-drawer terminal $P_1, \dots, P_{n/m}$, and via OFF-state-voltage terminal P_{OFF} to the input B, Fixed voltage V_{OFF} of the OFF state voltage (0V) of $V_1, \dots, V_{n/m}$ and same electric potential is given. Drawing 3 is an example of composition at the time of setting the gate bus number per group (m) to "2."
In this example, n/m , i.e., $n/2$ groups, is formed in all.

Two N-channel metal oxide semiconductor transistor T_{Na} connected between the inputs A and B and the output OUT as switching means $S_1 - S_n$ were shown in drawing 4, T_{Nb} is made one/off-control at 2 bits (as for the odd-numbered switching means, S_{C0}, S_{C1} , and the even-numbered switching means are S_{C2} and S_{C3}) of control signal S_C .

[0012]Next, an operation is explained. Drawing 5 is a timing chart of drawing 3. Opposite phase and bit S_{C1} , bit S_{C2} and bit S_{C3} , and bit S_{C0} have [4-bit control signal S_C which makes one horizontal scanning period (H) a half cycle] respectively bit S_{C0} , bit S_{C1} and bit S_{C2} , and bit S_{C3} in phase. Therefore, bit S_{C0} , bit S_{C1} and bit S_{C2} , and bit S_{C3} change to two kinds, the combination of "H, L", and the combination of "L, H", at 1H interval, respectively.

[0013] $V_1 - V_{n/2}$ continue the voltage (ON-state-voltage; for example, +5V) for making a liquid crystal cell one between $m \times H$, and. The voltage (OFF-state-voltage; for example, 0V) for making a liquid crystal cell m dividing (namely, 2 dividing) turn off by shifting the position of the ON state voltage from V_1 to $V_{n/2}$ one by one synchronizing with the dividing signal carried out between ON state voltage maintains horizontal

scanning signal S_H .

(1) When $S_{C0of S_C}$ and S_{C1} are the combination of "H, L", here, odd-numbered switching means S_1, S_3, S_5 , and will be in "the 1st state", and, similarly the potential of V_i (i is 1, 2,n/2) of the same group at that time will be given to odd-numbered gate bus G_1, G_3, G_5 , and For example, if its attention is paid to the 1st group, the potential (ON state voltage/OFF state voltage) of the same group's V_1 will be given to the group's odd-numbered gate bus G_1 .

(2) When $S_{C0of S_C}$ and S_{C1} are the combination of "L, H", odd-numbered switching means S_1, S_3, S_5 , and will be in "the 2nd state", and fixed voltage V_{OFF} ' which is similarly equivalent to OFF state voltage at odd-numbered gate bus G_1, G_3, G_5 , and will be given.

(3) When $S_{C2of S_C}$ and S_{C3} are the combination of "H, L", even-numbered switching means S_2, S_4, S_6 , and will be in "the 1st state", and, similarly the potential of V_i (i is 1, 2,n/2) of the same group at that time will be given to even-numbered gate bus G_2, G_4, G_6 , and For example, if its attention is paid to the 1st group, the potential (ON state voltage/OFF state voltage) of the same group's V_1 will be given to the group's even-numbered gate bus G_2 .

(4) When $S_{C2of S_C}$ and S_{C3} are the combination of "L, H", even-numbered switching means S_2, S_4, S_6 , and will be in "the 2nd state", and fixed voltage V_{OFF} ' which is similarly equivalent to OFF state voltage at even-numbered gate bus G_2, G_4, G_6 , and will be given.

[0014]As mentioned above, according to this example, according to control signal S_C , choose the gate bus in each group one by one, and give one output (V_i) of the scan driver 13 to the selection gate bus concerned, and. Since fixed voltage V_{OFF} ' was given to the remaining non selection gate bus, the number of outputs of the scan driver 13 is made to n/m of the number (n) of a gate bus, for example, since it is $m=2$, in the example of drawing 3, it can be halved with n/2.

[0015]Therefore, the number of scanning bus IC can be reduced and low-pricing can be attained. Or a high resolution liquid crystal display can be realized, without increasing scanning bus IC substantially. Drawing 6 is a modification of drawing 3.

It is the example which reverses 2 bits (S_{C0} and S_{C1}) of control signal S_C in the inverter gates 20 and 21, and generated the remaining 2 bits (S_{C2}, S_{C3}).

The inverter gates 20 and 21 can consist of N-channel metal oxide semiconductor transistor T_c and the load element R, as shown, for example in drawing 7.

[0016] Drawing 8 - drawing 9 are the examples which considered the odd-numbered switching means (representing S_{11}) and the even-numbered switching means (representing S_{12}) as another composition.

Drawing 9 (a) is the odd-numbered lineblock diagram of switching means S_{11} , and the figure (b) is the even-numbered lineblock diagram of switching means S_{12} . What the former provided N-channel metal oxide semiconductor transistor T_e in the input A side, and provided P channel MOS transistor T_f in the input B side, The latter provides P channel MOS transistor T_g in the input A side, and provides N-channel metal oxide semiconductor transistor T_h in this reverse at the input B side. According to such composition, switching operation is controllable by 1-bit control signal S_C . A switching means may be constituted like drawing 10. Namely, as are shown in drawing 10 (a), and resistance element R_{11} is used instead of a P channel MOS transistor, and odd-numbered switching means S_{11} may be constituted and it is shown in drawing 10 (b). Resistance element R_{12} may be used instead of an N-channel metal oxide semiconductor transistor, and even-numbered switching means S_{12} may be constituted.

[0017] A switching means is made from each of above-mentioned examples in a liquid crystal panel. Although it is because the switch element (MOS transistor) in a panel is diverted and a switching means can be constituted, this is not restricted to this, and may be made to a scan driver, or may be constituted separately.

[0018]

[Effect of the Invention] It carries out grouping of the gate bus at a time to two or more, and was made to make each group and the output of a scan driver correspond in this invention.

Therefore, a high definition display can be realized, without being able to lessen the number of scan driver IC, and being able to attain low-pricing, or increasing the number of scan driver IC substantially.

[Translation done.]

* NOTICES *

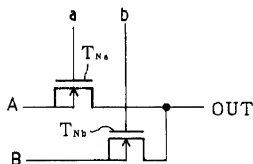
JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

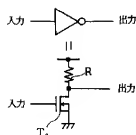
[Drawing 4]

一実施例の切り換え手段の構成図



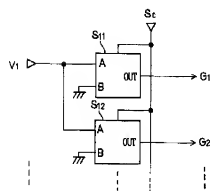
[Drawing 7]

インバータゲートの構成図



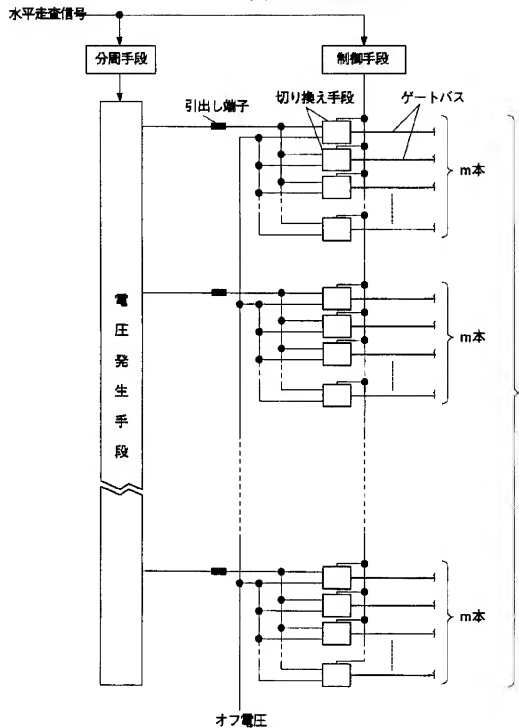
[Drawing 8]

—実施例のさらに他の構成図



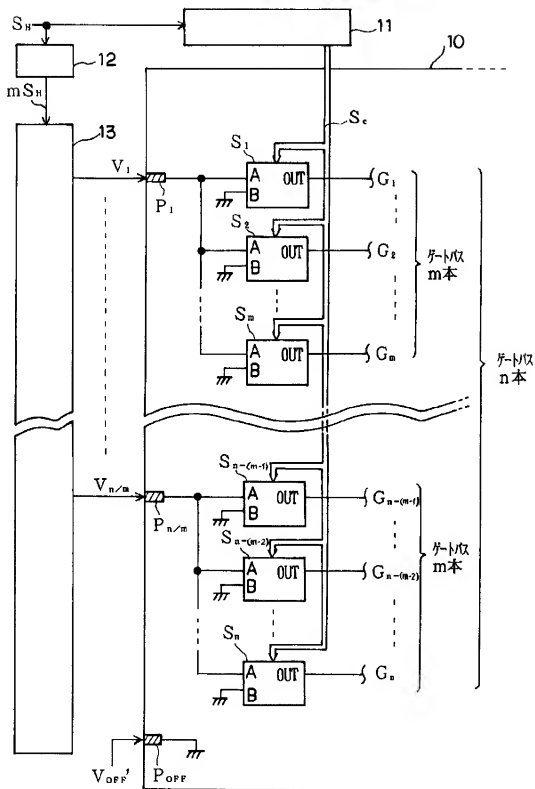
[Drawing 1]

本発明の原理図



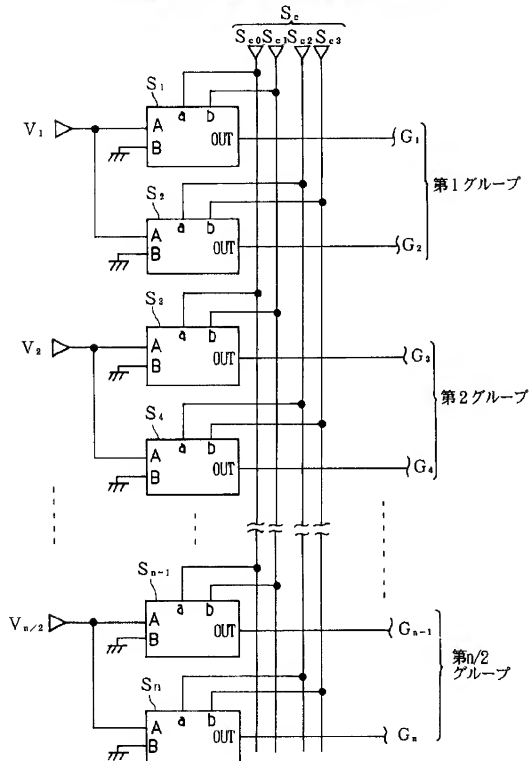
[Drawing 2]

一実施例の構成図



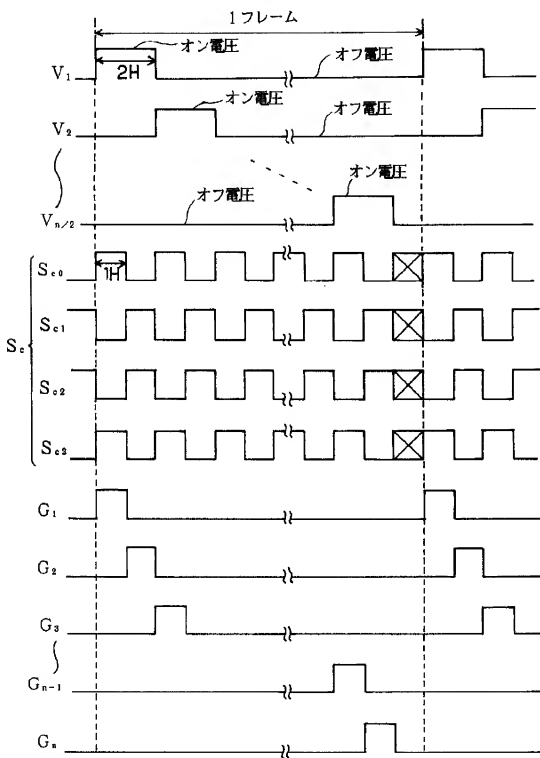
[Drawing 3]

一実施例の切り換え手段を含む要部の構成図



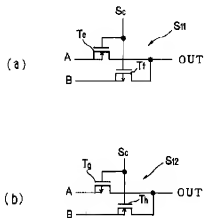
[Drawing 5]

図3の動作タイミングチャート



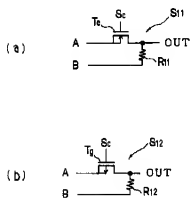
[Drawing 6]

図 8 に使用する切り換え手段の構成図



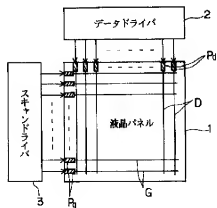
[Drawing 10]

図 8 に使用する切り換え手段の他の構成図



[Drawing 11]

液晶表示装置の基本的なブロック図



[Translation done.]